

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-034580

(43) Date of publication of application : 07.02.1997

(51) Int.CI. G06F 1/04  
G06F 1/04  
H03K 3/02

(21) Application number : 08-169866 (71) Applicant : SAMSUNG ELECTRON CO LTD

(22) Date of filing : 28.06.1996 (72) Inventor : TEI YUSHO  
KIM GYU-HONG

(30) Priority

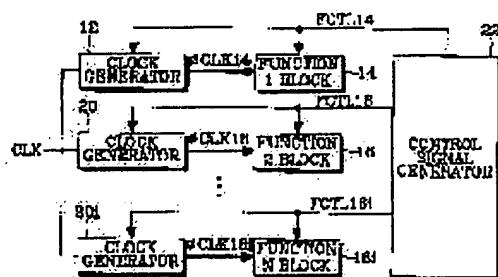
Priority number : 95 9518972 Priority date : 30.06.1995 Priority country : KR

## (54) CLOCK GENERATION CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a clock generation circuit which can minimize the deterioration of velocity against a system clock CLK and also can reduce the power consumption and noises.

**SOLUTION:** The clock generators 12, 20... are provided for the function blocks 14, 16... and operated by the control signals FCTL 14, 16... which control the operations of the corresponding function blocks respectively. Therefore, a clock generation circuit operates only when every function block has to operate and generates an internal clock. As the burden of every clock generator is reduced, there is no need to provide a clock buffer, etc. Thus the deterioration of velocity is never caused due to the clock buffer, etc. Furthermore, the current consumption and noises can be reduced since only a necessary clock generator operates as necessary in response to a control signal.



---

**LEGAL STATUS**

[Date of request for examination] 08.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. <sup>6</sup> G 0 6 F 1/04 H 0 3 K 3/02	識別記号 3 0 1	序内整理番号 F I G 0 6 F 1/04 H 0 3 K 3/02	技術表示箇所 E 3 0 1 B P
---	---------------	---	-----------------------------

審査請求 未請求 請求項の数3 O L (全4頁)

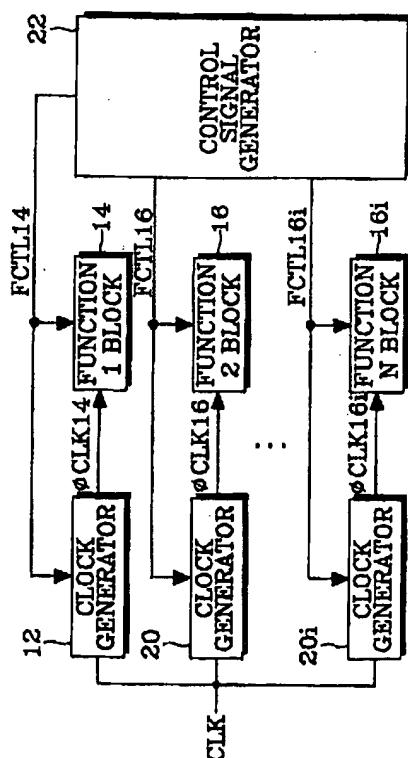
(21)出願番号 特願平8-169866	(71)出願人 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日 平成8年(1996)6月28日	(72)発明者 鄭 又燮 大韓民国京畿道水原市八達区梅灘3洞990 番地
(31)優先権主張番号 1995 P. 18972	(72)発明者 金 壱泓 大韓民国ソウル特別市瑞草区瑞草洞150番 地1号
(32)優先日 1995年6月30日	
(33)優先権主張国 韓国 (KR)	(74)代理人 弁理士 高月 猛

## (54)【発明の名称】 半導体メモリ装置のクロック発生回路

## (57)【要約】

【課題】 システムクロック CLKからの速度損失を最小限に抑えられ、また、消費電力が少なくノイズの心配もないようなクロック発生回路を提供する。

【解決手段】 機能ブロック14, 16, …ごとにクロック発生器12, 20, …を備え、対応する機能ブロックの動作を制御する制御信号 FCTL14, 16, …に従い動作するようにしておく。従ってクロック発生回路は、各機能ブロックが動作する必要時にのみ動作して内部クロックを発生する。1つ1つのクロック発生器の負担が軽くなるのでクロックバッファなどを設ける必要はなく、これによる速度損失の心配はない。また、制御信号に応じて必要なクロック発生器が必要な時にのみ動作するので、消費する電流は少なく、ノイズも抑えられる。



## 【特許請求の範囲】

【請求項1】 入力されるシステムクロックに基づき内部クロックを発生する半導体メモリ装置のクロック発生回路において、内部クロック提供先の機能ブロックの動作時にのみ動作するクロック発生器を、前記機能ブロックごとに備えたことを特徴とするクロック発生回路。

【請求項2】 各クロック発生器は、対応する機能ブロックの動作を制御する制御信号に従い動作する請求項1記載のクロック発生回路。

【請求項3】 入力されるシステムクロックに基づき内部クロックを発生する半導体メモリ装置のクロック発生回路において、データ出力系回路の動作を制御する制御信号に従い動作して前記データ出力系回路へ内部クロックを提供するクロック発生器を備えたことを特徴とするクロック発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、外部からのシステムクロックに同期して動作する同期式の半導体メモリ装置に関し、特にそのクロック発生回路に関する。

## 【0002】

【従来の技術】同期式DRAMは、CPU等の外部からのシステムクロックに同期してデータを高速アクセスする。同期式DRAMとしては例えば、本願出願人による1993年4月27日付出願の韓国特許出願93-7127号に記載のものなどがある。

【0003】このような同期式DRAMは、外部からのシステムクロックに同期した内部クロックを発生する内部のクロック発生回路を有している。このクロック発生回路により発生した内部クロックは、チップ内のクロックを必要とする各機能ブロックの動作クロック源として、例えば、データ出力バッファ、ロードアドレス入力バッファ、カラムアドレス入力バッファ等のクロックを必要とする回路をもつ多数の機能ブロックへ提供される。従来、チップ内には1つのクロック発生回路が備えられ、これによりチップ内回路を制御してシステムクロックに同期させている。図1に、一般的なクロック発生回路を示す。

【0004】図示のように従来のクロック発生回路は、システムクロックCLKを入力してこれに同期した内部クロック $\phi$ CLKを発生するクロック発生器12と、そのクロック $\phi$ CLKを駆動して多数の機能ブロック14, 16, ..., 16i (iは自然数)へ分配供給するクロックバッファ18と、から構成される。多数の機能ブロック14, 16, ..., 16iのそれぞれは、その固有機能の動作制御のための制御信号FCTL14, 16, ..., 16iが活性化されると、これに応じてクロック $\phi$ CLKに従い信号を処理する。例えば、機能ブロック1

4がデータ出力に関連したブロックの場合、制御信号FCTL14は読出動作制御信号であり、機能ブロック14は制御信号FCTL14の活性化に応答して記憶データをアクセスし、クロックバッファ18から供給されるクロック $\phi$ CLKに同期してアクセスされた読出データを出力パッドへ出力する。

【0005】図2は、図1に示したクロック発生回路の出力タイミング図である。システムクロックCLKがクロック発生回路に入力されると、クロック発生器12からシステムクロックCLKに同期してクロック $\phi$ CLKが発生されてクロックバッファ18へ入力される。クロックバッファ18は、入力されるクロック $\phi$ CLKをバッファリングして各機能ブロック14, 16, ..., 16iへ送る。そして機能ブロック14, 16, ..., 16iはそれぞれバッファリングされたクロック $\phi$ CLKを入力し、該当する制御信号FCTL14, 16, ..., 16iの活性化でクロック $\phi$ CLKに同期して機能を遂行する。

## 【0006】

【発明が解決しようとする課題】従来のクロック発生回路は、多数の機能ブロックに対し、1つのクロック発生器12をもってクロック $\phi$ CLKを発生させるため、クロック発生器12の負荷が大きい。従って、バッファリング駆動するクロックバッファ18が必須となるが、クロックバッファ18を通じた後のクロック $\phi$ CLKはシステムクロックCLKに対し遅れが生じることになる。その結果、速度損失(Speed loss)の影響が出ることになり、機能ブロック14, 16, ..., 16iがシステムクロックCLKに対応する高速性能をもっていても十分に活かせない事態が生じる。

【0007】また、クロック $\phi$ CLKの使用目的が異なる多数の機能ブロック14, 16, ..., 16iに対し、1つのクロック発生器12の出力のみを共通に提供するようにしてあるため、システムクロックCLKが入力されている限り恒常にトグリング(toggling)動作している必要がある。これにより消費される電流は多く、ノイズの原因ともなるので、解決課題としてあげられている。

【0008】このような従来技術に鑑み本発明は、速度損失を最小限に抑えられ、また、消費電力が少なくノイズの心配もないようなクロック発生回路を提供する。

## 【0009】

【課題を解決するための手段】この目的のために本発明によれば、入力されるシステムクロックに基づき内部クロックを発生する半導体メモリ装置のクロック発生回路において、内部クロック提供先の機能ブロックの動作時にのみ動作するクロック発生器を、前記機能ブロックごとに備えることを特徴とする。このような各クロック発生器は、対応する機能ブロックの動作を制御する制御信号に従い動作するようにしておくとよい。これにより、

・クロック発生回路は、各機能ブロックが動作する必要時にのみ動作して内部クロックを発生するものとできる。

【0010】また特に、入力されるシステムクロックに基づき内部クロックを発生する半導体メモリ装置のクロック発生回路において、データ出力系回路の動作を制御する制御信号に従い動作して前記データ出力系回路へ内部クロックを提供するクロック発生器を備えることを特徴とする。このようなデータ出力系回路に専用のクロック発生器を備えることで、速度損失を防ぐことができる。

#### 【0011】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。尚、共通する部分には同じ符号を使用して説明する。

【0012】図3に、クロック発生回路の構成をブロック図で示す。図示のように、多数の機能ブロック14, 16, …, 16iごとにそれぞれ設けたクロック発生器12, 20, …, 20iをもち、各クロック発生器12, 20, …, 20iは、その担当する機能ブロック14, 16, …, 16iの制御信号FCTL14, 16, …, 16iによる動作制御を受けている。制御信号発生回路22は、チップへ入力される各種信号、例えば書込制御信号WR、読出制御信号RD、アドレスストローブ信号などに従い動作モードを感知し、機能ブロック14, 16, …, 16iを制御するための制御信号FCTL14, FCTL16, …, FCTL16iを発生する。つまりこの制御信号発生回路22は、同期式DRAMの動作モード対応機能を遂行するための各種制御信号を発生する。

【0013】本実施形態のクロック発生回路の出力タイミングの一例を図4に示している。即ち、各自担当する機能ブロック14, 16, …, 16iの制御信号FCTL14, 16, …, 16iが活性化されるときにクロック発生器12, 20, …, 20iはそれぞれ動作し、その活性期間でのみ、システムクロックCLKに同期した内部クロックφCLK14, 16, …, 16iを発生して担当の機能ブロック14, 16, …, 16iへ提供する。

【0014】例えば、機能ブロック14を動作させる制御信号FCTL14が活性化（論理ハイ）されると、これに応じてクロック発生器12からシステムクロックCLKに同期したクロックφCLK14が発生し、機能ブロック14へ提供される。そして機能ブロック14は、制御信号FCTL14及びクロックφCLK14に従い動作してその機能を遂行する。また、機能ブロック16

を動作させる制御信号FCTL16が活性化されると、クロック発生器20からシステムクロックCLKに同期したクロックφCLK16が発生して機能ブロック16へ提供され、機能ブロック16がこれに応じて動作する。

【0015】図3において、機能ブロック14がデータ出力バッファなどを含んだデータ出力系回路であるとすれば、このデータ出力系回路14は同期式DRAMの動作モード中の読出モードの場合に動作する。読出モードでは、読出モードを指定する信号がチップへ入力され、制御信号発生回路22により制御信号FCTL14が活性化される。これに従いクロック発生器12が制御信号FCTL14の活性化期間でシステムクロックCLKに同期したクロックφCLK14を発生し、データ出力系回路14へ提供する。これにより、メモリセルから読出されるデータがクロックφCLK14に従い出力パッドへ出力される。このとき、データ出力に無関係の他の機能ブロック16, …, 16i及びクロック発生器20, …, 20iの動作は抑止されている。

#### 【0016】

【発明の効果】本発明のクロック発生回路によれば、メモリ内の多数の機能ブロックのそれぞれについて、その動作時にのみ動作するクロック発生器を設け、各機能ブロックへ独立的に内部クロックを提供するようしている。従って、1つ1つのクロック発生器の負担は軽くなるので、従来のようにクロックバッファなどを設けて駆動する必要がなく、これによる速度損失の心配はない。また、制御信号に応じて必要なクロック発生器が必要な時にのみ動作して内部クロックを発生するようにしてあるので、常時動作する従来回路に比べ消費する電流は少なく、ノイズも抑えられる。従って、より高速動作対応の低消費電力型で安定した半導体メモリ装置を提供可能である。

#### 【図面の簡単な説明】

【図1】従来のクロック発生回路を示すブロック図。

【図2】図1に示したクロック発生回路の動作波形図。

【図3】本発明によるクロック発生回路を示すブロック図。

【図4】図3に示したクロック発生回路の動作波形図。

#### 【符号の説明】

12, 20, 20i クロック発生器

14, 16, 16i 機能ブロック

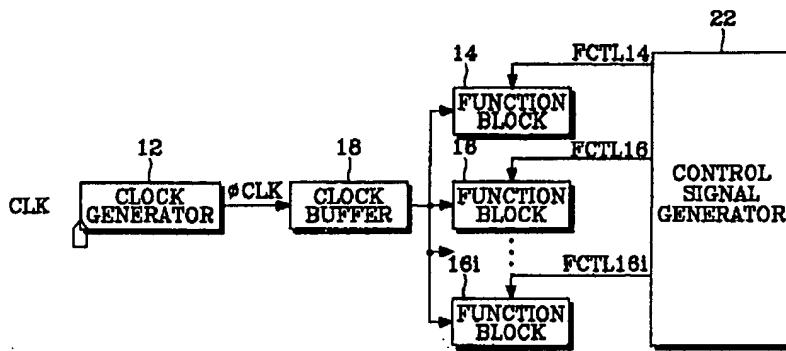
CLK システムクロック

φCLK14, 16, 16i 内部クロック

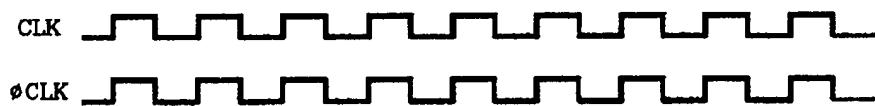
FCTL14, 16, 16i 制御信号

# BEST AVAILABLE COPY

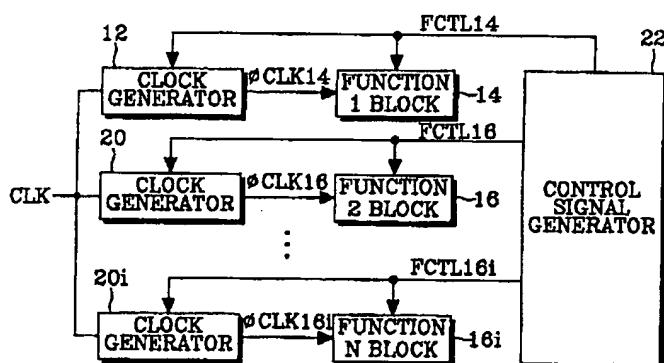
【図1】



【図2】



【図3】



【図4】

